

JE-1982-05

<p>47398 E/23 L03 FUJIT 14.06.75 FUJITSU LTD *J8 2023-429 14.06.75-JP-072578 (18.05.82) H011-21/31 H011-29/78 Metal insulating semiconductor device mfr. - by thermally nitriding silicon substrate, forming two insulating films, etching last film, and forming gate (J5 20.12.76)</p>	<p>L(3-D3D) 339</p>
<p>A silicon nitride film as a first insulating film is formed on a Si substrate by thermal nitriding at below 1300°C. A second insulating film e.g. Al_2O_3 is deposited on the silicon nitride film. A thick insulating film e.g. SiO_2 as a third film is deposited on the second insulating film, and select- ively etched to expose part of the second insulating film. A gate contact is formed on the exposed part of the second insulating film. (4ppW86).</p>	<p>J82023429</p>

⑫ 特 許 公 報 (B2) 昭57-23429

⑤ Int.Cl.³

H 01 L 29/78

識別記号

庁内整理番号

7377-5F

7514-5F

7739-5F

②④公告 昭和57年(1982)5月18日

発明の数 1

H 01 L 21/318

(全4頁)

1

⑤MIS型半導体装置の製造方法

①特 願 昭50-72578

②出 願 昭50(1975)6月14日

③公 開 昭51-148377

④昭51(1976)12月20日

⑦発 明 者 伊藤隆司

川崎市中原区上小田中1015番地富士通株式会社内

⑦発 明 者 野崎尊夫

川崎市中原区上小田中1015番地富士通株式会社内

⑦出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑦代 理 人 弁理士 松岡宏二郎

⑥特許請求の範囲

1 シリコン基板表面上に1300℃以下の温度での熱窒化による窒化シリコン膜を形成した後、基板上に熱窒化による窒化シリコンとは異種の第2絶縁膜を被着する工程、基板上に厚い第3絶縁膜を被着する工程、該第3絶縁膜の一部を除去する工程、および該第3絶縁膜が除去された部分の前記第2絶縁膜表面上にゲート電極を設ける工程が含まれることを特徴とするMIS型半導体装置の製造方法。

発明の詳細な説明

本発明は、半導体装置、特に金属-絶縁膜-半導体(MIS)構造から成るMIS型半導体装置の製造方法に関する。

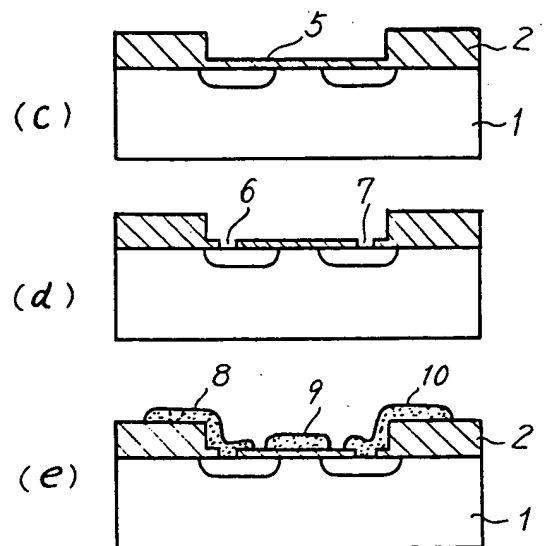
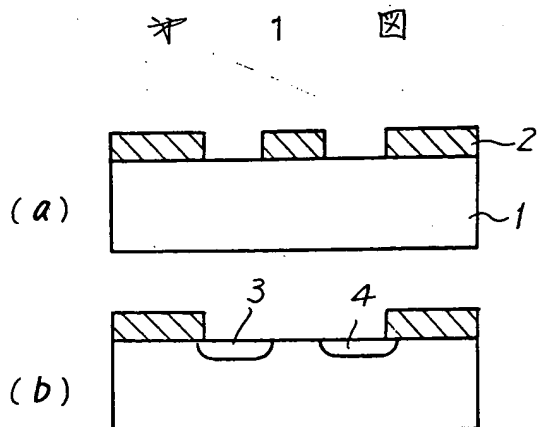
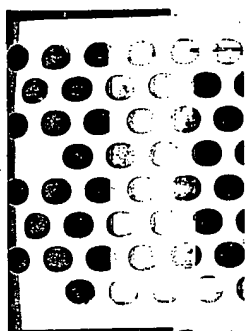
従来、MIS型集積回路の基本要素であるMISトランジスタにおいては、高性能化するに高速度動作、小型化、高信頼性の要求に従って研究開発が精力的に進められてきた。すなわち、高速度動作のためには、キャリアが走行するチャネル長を短くするばかりではなく、寄生容量の低減、配線抵抗の低下は重要な問題である。また益々増大す

2

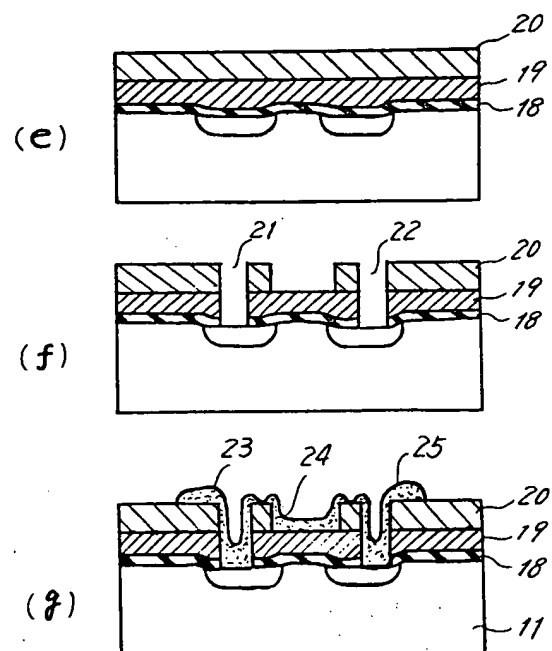
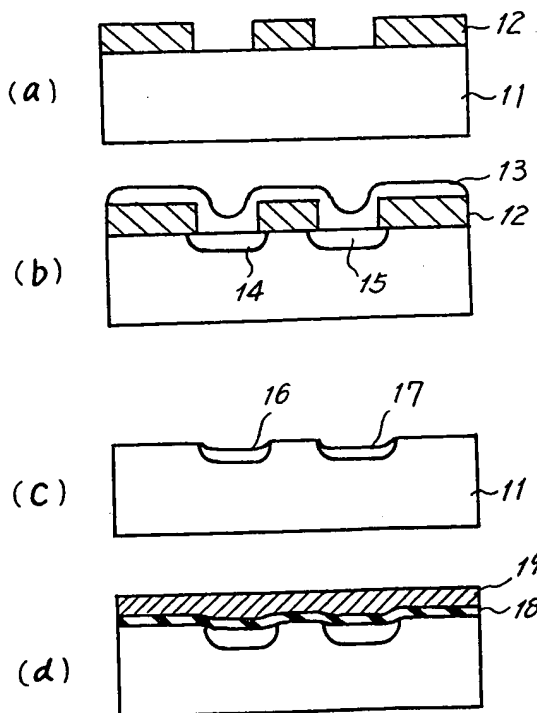
る情報を処理するためには、低消費電力の高密度実装による集積回路は不可欠であり、そのために小型化は常に指向してきた方向である。また、装置の中核となるMISトランジスタは、高い信頼性を具備していなければならない。しかしながら従来のMISトランジスタの構成は、シリコン(Si)と熱酸化法による二酸化シリコン(SiO₂)膜とを中心に用い、化学薬品によるエッチングとホトレジスト技術を駆使したものである。このため10⁶V/cm程度の高電界が印加される薄いゲート絶縁膜形成において薬品処理あるいはホトレジスト工程での汚染を断つことは難しく、混入したイオンのドリフトや不純物汚染に起因する種々の欠陥のために、高い安定性、信頼性を有する装置の実現は、その製造工程が複雑化するにつれて困難になる。このような問題点について、以下に具体的に説明する。第1図a~eは、標準的なnチャネルMISトランジスタの各製造工程における断面図である。先ず、P形Si基板1に厚さ約4000Åの熱酸化SiO₂2を付着し、選択拡散用窓をあける。次に、りんPの高濃度拡散層3, 4を形成する。次にチャネル領域の厚いSiO₂膜2を除去して再び熱酸化によつて、薄いSiO₂5を形成するが、この工程において、Si基板表面はホトレジスト剝離剤に侵されるため、金属イオンが付着したり、それらを含むSiの自然酸化膜が付着したりする。これは後にMISトランジスタの安定性や、ゲートしきい値電圧の値あるいはばらつきに大きく影響する。これを防ぐためには、ホトレジスト剝離剤を除去した後、HF系の溶液でSiチャネル領域をかるくエッチングすることが有効であるが、フィールドオキシサイドとなるSiO₂2も同時に溶解してしまうため、一般には行なわれていない。一般には、ただちに薄いSiO₂膜5を形成し、コンタクト窓6, 7を形成しA₁でソース8、ドレイン9、ゲート10の各電極を形成する。また、このような従来の方法に

(4)

特公 昭 57-23429



★ 2 図



においては、ゲート絶縁膜 (SiO_2 膜) へのアルカリイオンの混入が素子特性の安定性に著しい悪影響を与えることは良く知られており、これを防ぐためりんガラスで被覆してアルカリイオンをゲッターする方法や、気相成長による窒化シリコン (Si_3N_4) あるいはアルミナ (Al_2O_3) のようなアルカリイオンの移動を阻止する絶縁膜を被覆している。しかし、その場合にはりんガラスの分極あるいは SiO_2 上に設けた絶縁膜中の電子や正孔トラップの存在により新たな特性不安定現象が現われ問題となる。かかる欠点を除去する方法として、窒素あるいはアンモニアガスを含む雰囲気での 1300°C 以下の加熱により、 Si 基板表面に熱窒化による窒化シリコン膜を形成し、これをゲート絶縁膜の一部として用いることが本発明者等により提案されている。この熱窒化シリコン膜は、従来知られていた 1300°C 以上での熱窒化による結晶化の進んだ窒化シリコン膜と異なり、非晶質で緻密な構造を持ち、半導体装置の特性安定化に極めて有効であることが確認された。しかし、 1300°C 以下での熱窒化のためには、空气中に Si 基板を放置しただけで形成される厚さ $15 \sim 20 \text{ \AA}$ 程度の自然酸化膜をも除去しなければならない。従つて前記した従来の方法にいて、 1300°C 以下での熱窒化による窒化シリコン膜をゲート絶縁膜の一部に用いる場合、チャネル領域の厚い SiO_2 膜 2 を除去した後、 Si 基板表面の自然酸化膜をフツ酸等によりできる限り除去しなければならず、その際にフツ酸等の処理液により素子形成領域周囲の厚い酸化膜 2 がエツチングされてしまうという問題がある。

本発明は以上の点に鑑み、素子形成領域周囲の厚い絶縁膜を不必要にエツチングすることなく、汚染のない状態でゲート絶縁膜を形成して、特性安定な MIS 型半導体装置を製造する方法を提案するものである。

本発明の MIS 型半導体装置の製造方法は、シリコン基板表面に 1300°C 以下の温度での熱窒化による窒化シリコン膜を形成した後、基板上に熱窒化による窒化シリコンとは異種の第 2 絶縁膜を被着する工程、基板上に厚い第 3 絶縁膜を被着する工程、該第 3 絶縁膜の一部を除去する工程、および該第 3 絶縁膜が除去された部分の前記第 2 絶縁膜表面上にゲート電極を設ける工程が含まれ

ることを特徴とするものである。

すなわち、本発明は極めて清浄にされた Si 基板表面に 1300°C 以下の温度での熱窒化による窒化シリコン膜を予め形成しておき、その後 MIS 型半導体装置の構成に必要な各種絶縁膜および導体膜を基板上に被着形成するものである。 1300°C 以下の温度で Si を熱窒化するには、 Si 表面の自然酸化膜を約 10 \AA 以下にする必要がある。自然化膜を完全に除去することは困難であるが、フツ酸による処理の後、水中への浸漬や空気へ晒すことをできる限り避けることにより、自然酸化膜の生成を $6 \sim 7 \text{ \AA}$ の厚さに抑えることができる。熱窒化による窒化シリコン膜の成長は、生成した窒化シリコン膜中のシリコンあるいは窒素原子の拡散によるため、成長に伴つて成長速度は低下し、 1300°C 以下の温度での熱窒化では、膜厚は約 100 \AA 程度が最大限度である。熱窒化の際の雰囲気としては窒素あるいはアンモニアガスに不活性ガスを加えてもよい。このようにして得られた窒化シリコンは構造緻密でアルカリイオンの移動を妨げ、また気相成長の場合とは異なり、 Si との界面に汚染不純物を蓄積させることが全くない。 1300°C 以下での熱窒化による膜厚 10 \AA 以上の窒化シリコン膜上に膜厚約 1500 \AA の気相成長 SiO_2 膜とその上の電極を設けた MIS ダイオードと、 Si 表面に約 1500 \AA の膜厚を持つ熱酸化による SiO_2 膜とその上の電極を設けた MIS ダイオードのフラットバンド電圧の変動分 (ΔV_{FB}) を調べたところ、ダイオードへの直流印加電圧が $\pm 100 \text{ V}$ の範囲内では、前者は後者の $1/10$ 程度の ΔV_{FB} を持ち、極めて安定な特性を持っていることが確認された。上記の如く 1300°C 以下での熱窒化による窒化シリコン膜は通常のゲート絶縁膜の膜厚 $1000 \sim 2000 \text{ \AA}$ に比べて遙かに薄いものしか得られないから、ゲート絶縁膜を構成するためには、この上に気相成長等により実質的にゲート絶縁膜に必要な膜厚を持つ絶縁膜を被着しなければならない。また、 Si 基板の素子形成領域周囲はフィールド絶縁膜とする厚い絶縁膜を気相成長等により被着する必要があるが、従来のような熱酸化による SiO_2 膜厚は約 $1 \mu\text{m}$ が限度であるのに対して、本発明では、 $1.5 \mu\text{m}$ の膜厚とすることもでき、集積回路を構成した場合の配線容量およびボンディングパッド容量を低減

5

6

できる利点がある。

以上の如き、各種絶縁膜さらにゲート電極等の被着形成工程においては、本発明によればSi基板表面は金属イオンの移動を妨げ、しかも界面での汚染不純物の蓄積がない窒化シリコン膜で既に覆われているので、MIS型半導体装置の特性に決定的な影響を及ぼすゲート絶縁膜とSi基板との界面は汚染されることが全くない。さらに本発明による製造工程では、熱窒化による窒化シリコン膜生成に必要な処理工程において、フィールド絶縁膜が侵されるという従来の欠点は解消される。

以下、本発明実施例について説明する。第2図a~gは本発明の1実施例の各製造工程における基板断面を示す。本実施例は、ゲートの二層絶縁膜間の捕獲中心に電子あるいは正孔をトラップさせることにより、ゲートしきい電圧を変化させるMIS型不揮発性メモリーを製造する工程に本発明を適用した場合の例である。

初めに、従来の方法によつて、P形Si基板11に選択拡散用マスク12を用いて、ソース、ドレイン拡散層13, 14を形成する。この場合拡散源として、Asドーパントオキサイド15を用いれば、1時間のドライブインで表面濃度 $1.5 \times 10^{21}/\text{cm}^2$ 、深さ $0.45 \mu\text{m}$ の n^+ 層を形成できる。この時、拡散領域のSiは酸化が進むため、表面酸化膜を全面に亘つて除去した後のSi表面において16, 17のような n^+ 領域を認識せしめる望みができる。次に49% HF液で充分洗浄した後すばやく 1270°C に加熱された窒素雰囲気中に置き 20 \AA の膜厚の熱窒化 Si_3N_4 膜18を形成する。次に $2\text{AlCl}_3 + 3\text{CO}_2 + 3\text{H}_2 \rightarrow \text{Al}_2\text{O}_3 + 3\text{CO} + 6\text{HCl}$ の反応を利用して Al_2O_3 膜19を約 1000 \AA の厚さに付着させる。次にテトラエトキシシランの熱分解により約 8000 \AA の膜厚の SiO_2 膜20を付着し、ホトレジストをマスクにして、本発明によりチャネル領域の SiO_2 のみをエッチングする。このエッチング液はフッ化アンモニウム飽和溶液等によればよく、常温では Al_2O_3 はエッチングされずに完全に残る。

次に、従来と同様の方法により、ソース、ドレインのコンタクト窓21, 22を明け、 Al , Mo ,

W、多結晶シリコン等によつて、ソース、ドレイン、ゲートの各電極23, 24, 25を形成し完成する。このようにして形成したMIS型不揮発性メモリーは、ソース23に対して正のパルスをゲート25に印加することでSi基板11から絶縁膜界面すなわち18と19の界面へ電子をトンネル効果により注入する。書込んだ情報を消去するには、反対符号のパルスをゲートに印加することとされる。従来これと類似のメモリーがMNOSあるいはMAOS等の構成で出されているが、それらはいずれも記憶機能を支配する薄い SiO_2 膜を選択酸化の手段で形成している。その方法では、フィールドオキサイドを形成した後、薄い SiO_2 を生成するので、チャネル領域の充分なクリーニングをすることは難しい。従来のメモリー特性では、不完全な構造の薄い SiO_2 膜のために、注入されたキャリアが消滅したりする現象がみられ、また多くとも 10^8 回以上の書込み、消去のくりかえしに対しては犠牲性が劣化する。しかし本発明により構成したメモリーでは、従来の薄い SiO_2 膜に代えて、より構造緻密な熱窒化 Si_3N_4 膜を用い、Si表面のクリーニングも充分行うことができるため比較的劣化の少いことが明らかとなった。さらに配線容量やボンディングパッド容量の低減にはフィールド絶縁膜を気相成長等により厚く被着すればよい。

尚、前記実施例においては、熱窒化による Si_3N_4 膜とその上の第2絶縁膜である Al_2O_3 膜をSi基板のほぼ全面に設けたが、これらの絶縁膜はゲート部分のみに設けてもよく、その製造工程は種々の変更が可能である。また、本発明においては、熱窒化による窒化シリコン膜を除く他の絶縁膜として、従来知られている任意の絶縁膜を使用し得ることは勿論である。

図面の簡単な説明

第1図a~eは従来のMIS型半導体装置の製造工程を説明する図、第2図a~gは本発明実施例のMIS型半導体装置の製造工程を説明する図である。

図において、11はSi基板、14, 15はソース、ドレイン領域、18は Si_3N_4 膜、19は Al_2O_3 膜、20は SiO_2 膜である。